



Ordonnancement de processus sous contrainte de pipeline

Christophe Alias – Chargé de recherche INRIA/LIP
Matthieu Moy – Maître de conférences Université Lyon1/LIP

Mots clés Pipeline, Parallélisme, Modèle flot de données, Modèle Polyédrique

Lieu Laboratoire de l'Informatique du Parallélisme (LIP)
École Normale Supérieure de Lyon

Contexte

Les opérateurs arithmétiques à virgule flottante (+, −, ×, /, √, ...) utilisés dans les accélérateurs matériels sont pipelinés pour ne pas limiter la fréquence du circuit. Une opération i produit son résultat à la date $i + k$, avec k le nombre d'étages du pipeline. Si le résultat de i est utilisé par une opération j , j devra attendre que le résultat soit disponible : $j > i + k$ (contrainte de pipeline). Dans le cas contraire, le pipeline de j sera bloqué jusqu'à ce que la donnée soit disponible. L'*ordonnancement sous contrainte de pipeline* consiste à réorganiser les opérations pour réduire le temps total d'exécution tout en respectant les contraintes de pipeline. Ce problème est connu pour être NP-complet sur les codes sans tests ni boucles [1, 2] (blocs de base) bien que la solution exacte par programmation entière ait un temps d'exécution acceptable en pratique [3].

Objectifs du stage

Dans ce stage, on se propose d'étudier l'ordonnancement sous contrainte de pipeline d'un *réseau de processus régulier* : un ensemble de processus communicants par des canaux, chaque processus exécutant un opérateur arithmétique avec un contrôle prédictible à la compilation. Plus précisément, on cherchera à :

- Prédire/borner la marge d'optimisation en supposant une utilisation optimale des pipelines.
- Construire un algorithme qui trouve un "bon" ordonnancement pour chaque processus. On pourra partir du cas particulier traité dans : [4].

Les résultats seront validés sur les applications de Polybench/C [5].

Encadrement

Ce stage sera co-encadré par Christophe Alias (CR1 Inria, ENS-Lyon) et Matthieu Moy (MCF HDR UCBL).

Christophe Alias (<http://perso.ens-lyon.fr/christophe.alias/>) s'intéresse à la synthèse de circuit haut niveau dans le modèle polyédrique depuis plus de 8 ans. Il a co-encadré deux thèses (Alexandru Plesco avec Alain Darté et Tanguy Risset, et Guillaume Looss avec Sanjay Rajopadhye). Dans le même temps, il a écrit un compilateur de réseaux de processus, transféré dans la startup Xtremlogic qu'il a co-fondé en 2014 avec Alexandru Plesco. Actuellement Christophe Alias est en concours scientifique à 20% dans XtremLogic et n'a plus de charge d'encadrement depuis la soutenance de Guillaume Looss en juillet 2016.

Matthieu Moy (<https://matthieu-moy.fr>) travaille sur la simulation en SystemC depuis une quinzaine d'années (en partenariat avec STMicroelectronics et en particulier dans le cadre de la HLS), et a déjà encadré plusieurs thèses et post-doctorants sur le sujet. Plus récemment, il s'est intéressé aux calculs de pire temps d'exécution de logiciel et de pire temps de traversée de réseaux sur puces dans le cadre de systèmes temps-réel critiques. Il est titulaire de l'habilitation à diriger des recherches depuis 2014. Anciennement responsable de l'équipe Synchronique du laboratoire Verimag, il a intégré le LIP en septembre 2017. Il co-encadre aujourd'hui 4 thèses.

Compétences souhaitées

Notions solides en parallélisme, notions en architecture des ordinateurs. Maîtrise du langage C, bases solides en C++.

Candidatures

Envoyez vos candidatures par email à : Christophe.Alias@ens-lyon.fr et Matthieu.Moy@univ-lyon1.fr.

Références

- [1] John L Hennessy and Thomas Gross. Postpass code optimization of pipeline constraints. *ACM Transactions on Programming Languages and Systems (TOPLAS)*, 5(3) :422–448, 1983.
- [2] David Bernstein, Michael Rodeh, and Izidor Gertner. On the complexity of scheduling problems for parallel/pipelined machines. *IEEE Transactions on Computers*, 38(9) :1308–1313, 1989.
- [3] Peter Van Beek and Kent Wilken. Fast optimal instruction scheduling for single-issue processors with arbitrary latencies. In *International Conference on Principles and Practice of Constraint Programming*, pages 625–639. Springer, 2001.
- [4] Christophe Alias, Bogdan Pasca, and Alexandru Plesco. Fpga-specific synthesis of loop-nests with pipelined computational cores. *Microprocessors and Microsystems - Embedded Hardware Design*, 36(8) :606–619, 2012.
- [5] Louis-Noël Pouchet. Polybench : The polyhedral benchmark suite. URL : <http://www.cs.ucla.edu/~pouchet/software/polybench/>[cited July,], 2012.