

Contrôle continu UE INF241 : Introduction aux Architectures Logicielles et Matérielles

23 Mars 2012

Durée 1 h 30

Documents, calculettes, téléphones portables non autorisés

Le barème est donné à titre indicatif

1 Question de cours (2 points)

- (a) En supposant une mémoire d'octets avec 32 bits d'adresse, quelle est la taille maximale de la mémoire ?
- (b) Citer deux types de rupture de séquence. Rappeler le fonctionnement de ces deux types de rupture avec des exemples.
- (c) Qu'est-ce qu'une mémoire volatile ? Donner un exemple de mémoire volatile et un exemple de mémoire non-volatile.
- (d) Citer les noms des différents bus reliant la mémoire et le processeur et rappeler leur fonction respective.

2 Exercice : numération (6 points)

- (a) Donnez le code en binaire sur 8 bits des entiers relatifs suivants (codage en complément à deux) : +100, +27, +40, -60, -89 **(2,5 points)**
- (b) Pour chacune des additions binaires suivantes : $(+100)_{10} + (+27)_{10}$ et $(+100)_{10} + (+60)_{10}$,
 1. donnez le résultat apparent sur 8 bits (codage en complément à deux), **(1 point)**
 2. donnez les valeurs des indicateurs Z, N, C et V, **(0,5 points)**
 3. le résultat est-il correct ? **(0,25 points)**
- (c) Pour chacune des soustractions binaires suivantes : $(+27)_{10} - (+40)_{10}$ et $(-89)_{10} - (+60)_{10}$,
 1. donnez le résultat apparent sur 8 bits (codage en complément à deux), **(1 point)**
 2. donnez les valeurs des indicateurs Z, N, C et V, **(0,5 points)**
 3. le résultat est-il correct ? **(0,25 points)**

3 Exercice : codage en langage d'assemblage ARM (12 points)

- (a) En supposant que la zone `.data` soit chargée à l'adresse `0x20F0` et que le processeur est gros boutiste (accède à la mémoire selon la convention *big endian*), dessiner le contenu de la zone de donnée du programme ci-dessous en exprimant les valeurs des différentes données en hexadécimal (en faisant apparaître les différents octets). **(2 points)**

```
.data
A: .word 156
   .hword 10
   .byte 10
   .byte 20
B: .hword 48
```

(b) Définir une zone « text » et y coder en ARM les instructions suivantes (**2 points**) :

```
r0 <- MEM[A]
r1 <- MEM[B]
```

L'algorithme ci-dessous calcule le *pgcd* entre deux entiers naturels stockés dans $r0$ et $r1$, résultat sera à la fois dans $r0$ et $r1$.

```
1: Tant que  $r0 \neq r1$  faire
2:   Si  $r0 > r1$  alors
3:      $r0 \leftarrow r0 - r1$ 
4:   Sinon
5:      $r1 \leftarrow r1 - r0$ 
6:   Fin Si
7: Fin Tant que
```

(c) Donner le code en ARM des lignes 2-6 de l'algorithme. (**3 points**)

(d) Donner le code de la boucle « tant que » de l'algorithme en y intégrant le code de la question précédente. (**3 points**)

(e) Coder en ARM l'instruction suivante (**2 points**) :

```
MEM[A] <- r0
```

4 ANNEXE I : instructions du processeur ARM

Nom	Explication du nom	Opération	remarque
AND	AND	et bit à bit	
EOR	Exclusive OR	ou exclusif bit à bit	
SUB	SUBstract	soustraction	
RSB	Reverse SuBstract	soustraction inversée	
ADD	ADDition	addition	
ADC	ADDition with Carry	addition avec retenue	
SBC	SuBstract with Carry	soustraction avec emprunt	
RSC	Reverse Substract with Carry	soustraction inversée avec emprunt	
TST	TeST	et bit à bit	pas rd
TEQ	Test EQivalence	ou exclusif bit à bit	pas rd
CMP	CoMPare	soustraction	pas rd
CMN	CoMpare Not	addition	pas rd
ORR	OR	ou bit à bit	
MOV	MOVE	copie	pas rn
BIC	BIt Clear	et not bit à bit	
MVN	MoVe Not	not (complément à 1)	pas rn
Bcc	Branchement		cc = condition Cf. table ci-dessous
BL	Branchement à un sous-programme		adresse de retour dans r14=LR
LDR	“load”		
STR	“store”		

L'opérande source d'une instruction MOV peut être une valeur immédiate notée #5 ou un registre noté Ri, i désignant le numéro du registre. Il peut aussi être le contenu d'un registre sur lequel on applique un décalage de k bits ; on note Ri, DEC #k, avec DEC ∈ {LSL, LSR, ASR, ROR}.

La table suivante donne les codes de conditions arithmétiques cc pour l'instruction de branchement Bcc.

mnémonique	signification	condition testée
EQ	égal	Z
NE	non égal	\bar{Z}
CS/HS	\geq dans N	C
CC/LO	$<$ dans N	\bar{C}
MI	moins	N
PL	plus	\bar{N}
VS	débordement	V
VC	pas de débordement	\bar{V}
HI	$>$ dans N	$C \wedge \bar{Z}$
LS	\leq dans N	$\bar{C} \vee Z$
GE	\geq dans Z	$(N \wedge V) \vee (\bar{N} \wedge \bar{V})$
LT	$<$ dans Z	$(N \wedge \bar{V}) \vee (\bar{N} \wedge V)$
GT	$>$ dans Z	$\bar{Z} \wedge ((N \wedge V) \vee (\bar{N} \wedge \bar{V}))$
LE	\leq dans Z	$Z \vee (N \wedge \bar{V}) \vee (\bar{N} \wedge V)$
AL	toujours	