Unité Mixte de Recherche 5104 CNRS - INPG - UJF
Centre Equation
2, avenue de VIGNATE
F-38610 GIERES
tel : +33 456 52 03 40
fax : +33 456 52 03 50
http://www-verimag.imag.fr

Ordonnancement de tâches hiérarchiques interdépendantes sous des exigences temporelles et objectif d'efficacité

Ismail Assayad

Rapport de recherche Verimag n^o TR-2008-2

Janvier 2008

Ordonnancement de tâches hiérarchiques interdépendantes sous des exigences temporelles et objectif d'efficacité

Ismail Assayad

Janvier 2008

Résumé

L'introduction d'applications à haute performance comme les applications multimédia dans les systèmes embarqués a amené les constructeurs à offrir des plateformes embarquées capable d'offrir une puissance de calcul importante qui permet de répondre à l'évolution croissante des exigences futures de ces applications. L'une des solutions adoptées est l'utilisation de plateformes multiprocesseurs. Dans ce papier nous proposons une méthodologie *exploratoire* d'ordonnancement pour des logiciels modélisés sous forme de tâches hiérarchiques, collaboratives, interdépendantes et à échéances locales. L'ordonnancement répond aux (1) exigences *temporelles* locales des tâches et permet (2) une exploitation *efficace* de plateformes multiprocesseurs.

Abstract

The introduction of high-performance applications such as multimedia applications into embedded systems led the manufacturers to offer embedded platforms able to offer an important computing power which makes it possible to answer the increasing requirements of future evolutions of these applications. One of the adopted solutions is the use of multiprocessor platforms. In this paper we propose an *exploratory* methodology of scheduling software modelled in the form of hierarchical, collaborative and interdependent hierarchical tasks with local deadlines. Scheduling answers (1) the local *temporal* requirements of tasks, and allows (2) an *effective* exploitation of multiprocessor platforms.

Mots-clé : Systèmes embarqués multiprocesseurs, Parallélisme, Ordonnancement temps-réel, Exploration

Relecteurs :

Comment citer ce rapport :

@techreport { ,
title = { Ordonnancement de tâches hiérarchiques interdépendantes sous des exigences temporelles et objectif d'efficacité},
authors = { Ismail Assayad},
institution = { Rapport de recherche Verimag },
number = {TR-2008-2},
year = { },
note = { }
}

1 Introduction

Les applications embarquées de haute performance comme la compression vidéo, la transmission de paquets, HDTV, motivent l'utilisation de plateformes configurables, hétérogènes, et qui offrent plusieurs unités de traitement (eg. Wasabi/Cake, famille des réseaux de processeurs Intel IXP, etc.). Ces architectures offrent des avantages significatifs de prix, de performance et de flexibilité. Néanmoins, la complexité de ces systèmes embarqués multiprocesseurs rend la programmation et l'analyse du logiciel difficiles, ce qui mène à des performances inefficaces du logiciel et du matériel. Cette complexité est croissante et soulève le besoin d'une méthodologie de synthèse non ambigue, permettant la description explicite de systèmes composés de logiciels et de matériels, et un ordonnancement du logiciel orienté par l'efficacité du système en terme de l'impact mutuel en performance du logiciel et du matériel.

La sémantique collaborative est largement utilisée dans la spécification de logiciels. Ceci s'explique par le fait que les ordonnancements non préemptifs sont plus faciles à implanter, ont un surcoût prévisible et inférieur à celui des algorithmes préemptifs, et sont donc plus proche des modèles théoriques [3]. Par ailleurs l'utilisation de langages comme SystemC [4] dans la modélisation et la conception de systèmes industriels témoigne de cet intérêt.

Nous proposons une méthodologie de synthèse de logiciel composé de tâches hiérarchiques et interdépendantes qui *combine les exigences temps-réel locales des tâches avec un objectif d'efficacité du matériel*. La méthodologie se décompose en deux étapes. La première étape est la synthèse d'un ordonnanceur temps-réel au niveau logiciel qui définit un ordre partiel sur l'ensemble des tâches hiérarchiques. Cet ordonnanceur est indépendant du matériel mais prend en compte les interactions avec le matériel à travers les dépendances de données ou de précédences. La deuxième étape est celle du placement. Cette étape définit l'ordonnanceur des tâches du logiciel au niveau matériel. L'efficacité globale de l'ordonnanceur logiciel et matériel peut alors être estimée par le concepteur après l'évaluation de son impact en performance sur le modèle de l'architecture matérielle.

L'ordonnanceur synthétisé permet d'éviter les cas de violation des exigences temporelles du logiciel ce qui simplifie l'exploration d'architectures du système pour le concepteur. De plus l'ensemble des points de contrôles de l'ordonnanceur du niveau logiciel est réduit à un ensemble de tâches hiérarchiques ce qui permet de diminuer sa complexité. D'autre part, l'ordonnanceur du niveau logiciel est indépendant du matériel et est donc généré une seule fois pour les différents cycles de conception. Par conséquent, l'impact de l'ordonnanceur sur le temps global de l'exploration s'en trouve réduit.

2 Etat de l'art

[3] présente une étude d'ordonnançabilité pour un système de tâches périodiques avec des dates de disponibilités arbitraires et sans préemption mais sans temps creux. Dans [5] une tâche est définie par une date de disponibilité, une échéance par rapport à cette date, une période et une durée d'exécution. Plusieurs travaux concernant l'ordonnancement de tâches sous des contraintes de distance dites bout-à-bout on été présentés [6, 7, 8]. [9] étudie l'ordonnançabilité d'un système de tâches périodiques en utilisant l'algorithme "rate monotonic" et en assurant une bonne utilisation des processeurs. [10] donne des conditions d'ordonnançabilité qui permettent de déterminer si un système de tâches satisfait ses contraintes en utilisant l'algorithme EDF qui reste non optimale dans le cas multiprocesseur. Il y a d'autres critères d'optimalité qui intéressent le monde temps-réel comme par exemple optimiser le nombre de processeurs [11], minimiser le temps de réponse des tâches [12], ou les temps de communication [13, 14]. La plupart des résultats obtenus dans ces travaux concernent des cas particuliers comme par exemple le cas des périodes et des durées d'exécutions divisibles entre elles [11], et des algorithmes optimaux pour des problèmes particuliers comme la multiplication de matrices [13].

Dans ce papier nous proposons une méthodologie *exploratoire* contrairement aux algorithmes présentant une unique solution. Elle s'inscrit dans le cadre de l'exploration d'architecture logicielle et matérielle avec un impératif de *combiner les exigences temps-réel du logiciel avec un objectif d'efficacité du matériel*. Elle permet de synthétiser un ordonnanceur pour des tâches *hiérarchiques*, *interdépendantes avec des temps creux d'attente, et des échéances locales*. Cette méthodologie est en cours d'intégration dans P-WARE [15, 16, 17], un framework d'exploration d'architectures logicielles et matérielles.

3 Modèle du système

3.1 Modèle HW

Une requête de transaction TR est un tuple $\langle type, input\ values, output\ values\rangle$, où $input\ values$ désigne les valeurs des paramètres d'entrées nécessaires pour l'exécution de la transaction T correspondante à la requête par le composant matériel destination, $output\ values$ dénote les valeurs de sorties.

Un composant matériel C est constitué d'un comportement et d'une interface $\langle I_i, O_j\rangle$. Le comportement est constitué d'un arbitre de requêtes, un contrôleur de transaction, la spécification temporelle des opérations des transactions, et le transacteur qui génère les requêtes de sortie d'un composant sur un de ses ports de sortie. I_i est l'ensemble des ports d'entrée des requêtes TR de C. O_j est l'ensemble des ports de sortie des requêtes TR.

Une connection est un tuple $\langle O, I_1, \ldots I_n, type\rangle$ où O est un port de sortie des requêtes TR du composant source ; $I_1, \ldots I_n$ sont les ports d'entrée des requêtes TR transmises à partir du port O ; $type$ est le type de la connection, Il est "bloquant" pour les envois et les appels de fonctions bloquants et "non bloquant" pour les interruptions et les notifications.

Une architecture matérielle est un couple $\langle \mathcal{C}, \mathcal{B}\rangle$ où

– $\mathcal{C}$ est l'ensemble des composants.

– $\mathcal{B}$ est l'ensemble des connections.

La sémantique complète peut être trouvée dans [15, 16].

3.2 Modèle SW

Un logiciel est constitué d'un ensemble de tâches hiérarchiques ou simples.

Une tâche simple t est un tuple $\langle S, dep, \delta\rangle$ où S est l'ensemble des requêtes TR de la tâche, dep est l'ensemble des dépendances sources pour S, δ est le temps d'exécution pire cas de t.

Une architecture $\mathcal{A}$ d'une tâche t est un tuple $\langle C, \mathcal{D}, \mathcal{I}\rangle$ où C est l'ensemble des contraintes d'ordonnancement sur les temps de début de t, $\mathcal{D}$ est la fonction de placement sur S, $\mathcal{I}$ est la fonction d'implantation des dépendances sur dep.

Une tâche composée t est un tuple $\langle op, t1 \ldots tn, dep, D, C\rangle$ où op est un opérateur de combinaison valant soit seq, par ou or pour la composition séquentielle, parallèle, ou non déterministe, respectivement, en plus des opérateurs de boucles, D est l'échéance sur le temps d'exécution des sous-tâches $t1 \ldots tn$, dep est l'ensemble des dépendances sources pour t, C est l'ensemble des contraintes de placement sur les temps de début des sous-tâches $t1, \ldots tn$.

Les contraintes de placement pour une tâche composée t définissent l'ordonnancement de ses sous-tâches $t1, \ldots tn$ sur le matériel. Le WCET d'une tâche peut être considéré inconnu, ou peut être dépendant du placement. Ce dernier cas est traité comme si l'opérateur or avait été utilisé pour spécifier toutes les différentes valeurs du WCET.

L'architecture d'une tâche composée t est égale à l'union des architectures de ses sous-tâches $\mathcal{A}_{ti}$ augmentée des contraintes de placement C et de l'implantation $\mathcal{I}$ des dépendances des sous-tâches $t1, \ldots tn$: $\cup_{i=1}^{i=n} \mathcal{A}_{ti} \cup \langle C, \mathcal{I}\rangle$.

4 Synthèse de contraintes

Nous étendons ici la technique de synthèse de contraintes présentée dans [18] à des tâches hiérarchiques indéterministes sujettes à des échéances locales. Cette technique vise à synthétiser un ordonnanceur au niveau logiciel, indépendamment du matériel. Cet ordonnanceur consiste en un ensemble de contraintes[1] sur les temps de débuts des tâches.

[1] Ces contraintes définissent un ordre partiel alors que l'ordre total est défini par la phase de placement.

4.1 Description

Granularité La technique de synthèse est compositionnelle, ce qui signifie que les contraintes synthétisées pour le logiciel sont l'union des contraintes synthétisées pour chacune des tâches parmi une partition des tâches du logiciel. En choisissant une petite partition, la complexité de la synthèse peut être diminuée. Une partition est un ensemble de tâches hiérarchiques dont les sous-tâches ont les mêmes contraintes. A titre d'exemple si les sous-tâches $(t1, \ldots tn)$ d'une tâche hiérarchique $(T = x\ t1, \ldots tn)$ ne sont impliquées dans aucune dépendance avec une autre tâche, alors le temps de début des sous-tâches $(t1, tn)$ dépend uniquement du temps de début de T. Par conséquent, les sous-tâches $(t1, \ldots tn)$ peuvent ne pas faire partie de la partition sur laquelle la synthèse au niveau logiciel est opérée, en les mettant dans un même élément dans la partition. Cet élément peut être T ou une tâche contenante vérifiant la même condition.

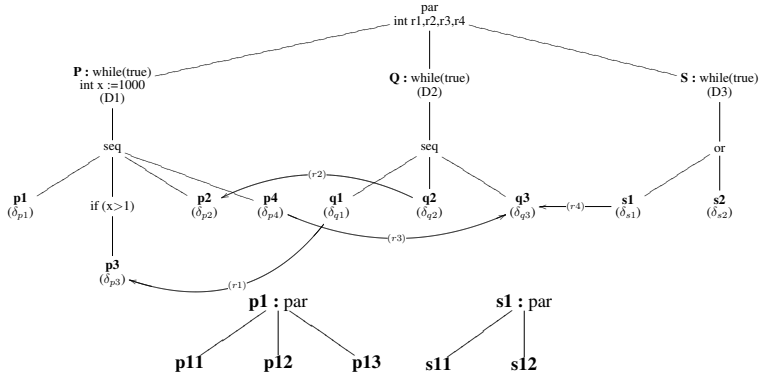

FIG. 1 – Trois tâches hiérarchiques P, Q et S et les deux sous-tâches p1 et s1

L'exemple de la figure 1 contient 9 tâches simples. La partition maximale $\mathcal{P}$ pour cet ensemble de tâches est composée de 7 tâches, $\mathcal{P} = \{p_1, p_3, p_2, p_4, q_1, q_2, q_3\}$, dont les tâches p_{11}, p_{12}, p_{13} et s_{11}, s_{12} ont les mêmes contraintes. Les dépendances entre les sous-tâches de $p1$ ne sont pas présentées dans cette figure. Ci-après, une tâche se réfère à un élément d'une telle partition du logiciel.

Exigences Une tâche possède une échéance locale comme exigence sur son temps de fin. Par exemple, l'échéance d'une tâche $while$ est l'échéance de chaque itération de la boucle à partir du temps de début de cette itération.

Sortie La technique produit des contraintes sur les temps de début des tâches, ainsi que des contraintes sur les temps d'exécution des tâches dont le temps d'exécution est inconnu. La solution est celle d'un programme linéaire entier, ILP.

Dans la présentation ci-après, nous faisons l'hypothèse que les données ne sont pas échangées entre les tâches par envoi de messages, mais des communications à travers la mémoire partagée sont utilisées. Notons néanmoins que le cas d'envoi de messages se réduit au premier en traitant les communications comme des tâches.

4.2 Extension

La technique présentée dans [18] calcule des contraintes pour des boucles concurrentes et pouvant inclure des branches conditionnelles dans leurs itérations. Nous étendons cette technique aux tâches simples ou hiérarchiques présentées auparavant, qui peuvent également être des tâches indéterministes de la forme $or\ t1, \ldots, tn$. Les points-clés de cette extension sont les suivants :

- Pour chaque tâche, *propager* les exigences et les exprimer comme des contraintes sur les temps d'attente des tâches et les variables de temps d'exécutions inconnus. Le résultat de cette propagation est dénoté par $\Psi(w, \delta)$.
- Pour chaque tâche, calculer les contraintes sur les temps de début, qui vont garantir les contraintes $\Psi(w, \delta)$. Pour cela, le temps d'attente d'une tâche est *exprimé* par une relation entre les temps de

début de cette tâche et les tâches sur lesquelles elle dépend. Cette relation est dénotée $\Phi(b, w, \delta)$. Ensuite, en utilisant les contraintes sur ce temps d'attente données par $\Psi(w, \delta)$, et la relation $\Phi(b, w, \delta)$, des contraintes sont *inférées* sur les variables b et δ. Ces contraintes sont dénotées $\Delta(b, \delta)$.

Les contraintes $\Delta(b, \delta)$ sont consistantes par construction. En effet, Φ caractérise l'ensemble des interactions consistantes avec les temps d'attentes objets des contraintes Ψ.

Par conséquent, cette technique consiste à calculer $\Psi(w, \delta)$ et $\Phi(b, w, \delta)$, et génère des contraintes de la forme :

- $\bigwedge \Delta(b_{ti}, \delta_j)$ pour un modèle déterministe des tâches,
- $\bigvee_{C_k} (\bigwedge \Delta(b_{ti}, \delta_j) \bigwedge\{b_t = \perp, t \in C_k\})$ pour un modèle indéterministe.

L'ensemble de variables δ_j désigne l'ensemble des variables de temps d'exécution inconnus, et chaque ensemble C_k est un ensemble de choix pour lequel les contraintes correspondantes $\bigwedge \Delta(b_{ti}, \delta_j) \bigwedge\{b_t = \perp, t \in C_k\}$ sont valides.

L'ordonnanceur du logiciel est alors soit la solution d'un programme linéaire entier, ILP, ou un ensemble de paires de programmes linéaires entiers avec l'ensemble des choix correspondants, $\langle ILP_k, C_k \rangle$.

4.3 Complexité

La complexité de la technique est dominée par les facteurs suivants :

1. Le nombre quadratique des tâches, qui est la complexité des opérations de calcul de $\Phi(w, \delta)$ et l'inférence de $\Delta(b, \delta)$.
2. La somme cumulée de la multiplication du nombre de tâches non déterministes par leur degré d'indéterminisme.
3. Un exposant du nombre des dépendances inter-tâches. En effet la relation Φ est potentiellement non linéaire. Des temps creux dus aux temps d'attente pour synchronisation des tâches peuvent intervenir dans le calcul de la relation Φ. Ceci dépend des temps de fin et temps de début d'une ou plusieurs tâches sources et leur tâche destination, respectivement.

Par conséquent, cette technique génère un nombre de contraintes ILP au plus égal à $\sum_{i=1}^{I} \Pi_{k,k\geq 2} n_d(n_s+1)^{k_i}$ et sa complexité au pire cas vaut $\bigcirc(N \times I \times \Pi_{k,k\geq 2} n_d(n_s+1)^k)$ où :

- N est le nombre de tâches de la partition du logiciel,
- I est le nombre de tâches composées indéterministes multiplié par le nombre de leurs choix d'exécution,
- k est le nombre maximal de dépendances ou d'hyper-dépendances dont le nombre de sources vaut n_s et le nombre de destinations vaut n_d, sur tous les choix d'exécutions possibles ($k = max_{i=1}^{I} k_i$).

Notons néanmoins que les applications embarquées temps-réel visées par cette méthodologie telles que les applications multimédia contiennent un nombre de dépendances inter-tâches très petit par rapport aux dépendances entre sous-tâches, et relativement constant par rapport aux différentes versions d'une même application (eg. standards d'encodage vidéo [19]). Cette remarque réduit l'impact de l'exposant sur la complexité de la technique dans la conception de ces applications.

4.4 Exemple

Considérons l'exemple de la figure 1 avec les données d'échéances $D1 = 10$, $D2 = 10$, et $D3 = 5$; et les WCET suivants : $\delta_{p_2} = 1, \delta_{p_3} = 1, \delta_{p_4} = 1, \delta_{q_1} = 1, \delta_{q_2} = 4, \delta_{q_3} = 1, \delta_{s_1} = 1, \delta_{s_2} = 1$; et en considérant que le WCET de p_1 est inconnu.

Nous obtenons alors l'ensemble des contraintes C ci-après où $x = b_{p_1} - b_{q_1}$ et $y = b_{s_1} - b_{q_1}$ sont les distances temporelles entre les tâches p_1 q_1 et s_1.

Quand s2 est exécuté, $b_{s_1} = \perp$ et

$$\begin{cases} (1) & \delta_{p_1} >= 5 + x & \wedge & \delta_{p_1} <= 6 & & \\ (2) & \delta_{p_1} >= 4 + x & \wedge & \delta_{p_1} <= 5 & \wedge & x \leq 2 \\ (3) & \delta_{p_1} >= 1 + x & \wedge & \delta_{p_1} <= 4 & \wedge & x \leq 2 \\ (4) & \delta_{p_1} >= 0 & \wedge & \delta_{p_1} <= 1 & & \end{cases}$$

Quand s1 est exécutée, $b_{s_2} = \perp$ et

$$\begin{cases}
(5) & \delta_{p_1} >= x - y - 2 \wedge \delta_{p_1} >= x + 5 \wedge \delta_{p_1} <= x + 6 \wedge \delta_{p_1} <= 7 \\
(6) & \delta_{p_1} >= x - y - 2 \wedge \delta_{p_1} >= x + 4 \wedge \delta_{p_1} <= x + 5 \wedge \delta_{p_1} <= 7 \wedge x <= 2 \wedge y >= -7 \\
(7) & \delta_{p_1} >= x - y - 2 \wedge \delta_{p_1} >= x + 4 \wedge \delta_{p_1} <= x + 5 \wedge \delta_{p_1} <= 7 \wedge x <= 2 \wedge y >= -8 \wedge y <= -6 \\
(8) & \delta_{p_1} >= x - y - 2 \wedge \delta_{p_1} >= x + 4 \wedge \delta_{p_1} <= x + 5 \wedge \delta_{p_1} <= 7 \wedge x <= 2 \wedge y >= -7 \wedge y <= -4 \\
(9) & \delta_{p_1} >= x - y - 2 \wedge \delta_{p_1} <= x + 5 \wedge \delta_{p_1} <= 7 \wedge y >= -8 \wedge y <= -4 \\
(10) & \delta_{p_1} >= x - y - 2 \wedge \delta_{p_1} >= x + 4 \wedge \delta_{p_1} <= x + 5 \wedge \delta_{p_1} <= 7 \wedge x <= 2 \wedge y >= -8 \wedge y <= -6 \\
(11) & \delta_{p_1} >= x + 1 \wedge \delta_{p_1} <= x + 4 \wedge x <= 2 \wedge y >= -6 \\
(12) & \delta_{p_1} >= x + 1 \wedge \delta_{p_1} <= x + 4 \wedge x <= 2 \wedge y >= -7 \wedge y <= -6 \\
(13) & \delta_{p_1} >= x + 1 \wedge \delta_{p_1} <= x + 4 \wedge x <= 2 \wedge y >= -8 \wedge y <= -7 \\
(14) & \delta_{p_1} <= x + 1 \wedge \delta_{p_1} <= 5 \wedge x <= 2 \wedge y >= -6 \\
(15) & \delta_{p_1} >= x + 1 \wedge \delta_{p_1} <= 5 \wedge x <= 2 \wedge y >= -7 \wedge y <= -6 \\
(16) & \delta_{p_1} >= x + 1 \wedge \delta_{p_1} <= 5 \wedge x <= 2 \wedge y >= -8 \wedge y <= -7
\end{cases}$$

Où $x = b_{p_1} - b_{q_1}$ et $y = b_{s_1} - b_{q_1}$ sont les distances temporelles entre les tâches p_1 q_1 et s_1.

A titre d'exemple, quand s_2 est exécutée ($b_{s_1} = \perp$), et quand l'ordonnancement de q_1 et p_1 vérifie $x = b^{q_1} - b^{p_1} \leq 2$ ce qui signifie que la distance temporelle entre les tâches hiérarchiques Q et P est égale ou inférieure à 2, alors la contrainte sur le temps d'exécution de p_1 est : $\delta^{p_1} = \max(\delta^{p_{11}}, \delta^{p_{12}}, \delta^{p_{13}}) \in [0, 6]$

5 Ordonnancement au niveau matériel

L'ensemble des contraintes synthétisées dans la section 4 constituent un ensemble de systèmes de contraintes linéaires S sur les temps de débuts et les temps d'exécution de certaines tâches. Pour calculer l'ordonnanceur du niveau matériel, nous définissons tout d'abord la fonction de placement des tâches. Ensuite, soit ces systèmes restent inchangés dans le cas où les tâches sont placées sur différents (groupes de) processeurs, soit ils sont augmentés de contraintes de placement, soit ils sont recalculés. Puis, les solutions finales sont obtenues en prenant les temps de début au plus tôt des tâches, ce qui correspond à la fonction objectif $min \sum_i b_{t_i}$.

A titre d'exemple, le placement sur 3 processeurs un pour chacune des tâches P, Q et S de l'exemple de la figure 1, ne produit pas de contraintes supplémentaires aux tâches. Lorsque 2 processeurs uniquement sont utilisés, 1 pour P et Q et 1 pour S, l'ordonnanceur peut être défini par une des deux approches suivantes :

– Recherche exhaustive, i.e. recalcul des systèmes de contraintes après recalcul de la contrainte Ψ en rajoutant aux contraintes de la relation de consistance Φ les deux contraintes de placement suivantes :

$$b_{p_1} + \delta_{p_1} + \delta_{p_2} + \delta_{p_3} + w_{p_3} + w_{p_2} > b_{q_1} \bigvee b_{q_1} + \delta_{q_2} + \delta_{q_3} + w_{q_3} > b_{p_1}$$

– Recherche partielle, i.e., garder l'ensemble des systèmes de contraintes de niveau logiciel inchangés et rajouter une sur-approximation des contraintes de placement en utilisant les échéances. Les nouveaux systèmes restent consistants. Par conséquent l'ordonnaceur du niveau matériel est :

$$\begin{cases} b_{p_1} + D1 > b_{q_1} \\ S \\ min \sum_i b_{q_i} + \sum_j b_{p_j} + \sum_k b_{s_k} \end{cases} \vee \begin{cases} b_{q_1} + D2 > b_{p_1} \\ S \\ min \sum_i b_{q_i} + \sum_j b_{p_j} + \sum_k b_{s_k} \end{cases}$$

5.1 Efficacité

Après la définition d'une fonction de placement et le calcul de l'ordonnanceur final, les performances du système sont estimées afin d'en évaluer l'efficacité. Pour simplicité, nous présentons ici cette évaluation pour une sous-tâche hiérarchique p_1. Les sous-tâches de p_1 sont présentées dans le listing 1.

```
p1: while(i>0)
    p11: x=add(x0,read(&M[i]));
    p12: dec(i); write(&M[i],x);
```

```
p13:  write(&z, mult(x, read(&c)));
```

Listing 1 – Les sous-tâches de p1

L'architecture matérielle possède les propriétés suivantes :

TR	read	write	add	mult	dec
Latences des T	2	2	2	2	1
T conflictuelles	-	-	mult	add	-
T parallèles	write, dec	read, dec	read, write	-	read, write

Les latences de l'écriture, la lecture, l'addition et la multiplication valent 2 cycles. Contrairement aux deux premières transactions, l'addition et la multiplication doivent être exécutées sur différents cycles. [16, 15] détaillent la modélisation d'architectures matérielles.

Comme les sous-tâches de p_1 ne font pas partie de la partition de départ, leur ordonnanceur n'est pas synthétisé. Pour de telles tâches, la méthodologie est compositionnelle et peut donc être réappliquée comme auparavant pour les sous-tâches en prenant la contrainte sur p_1 comme échéance. Dans ce cas, il faut prendre en compte les temps d'attentes dus aux dépendances cycliques entre tâches, càd, celles dues aux tâches de lecture de la variable i et sa décrémentation d'une part, et la lecture/écriture de M d'autre part.

P-WARE est utilisé pour évaluer les performances de l'ordonnancement global du système (Débit, bande passante, temps d'exécution, etc.). Un ordonnancement séquentiel possède un temps d'exécution de 6 cycles et donne un débit d'une sortie tous les 6 cycles. Alors que l'ordonnancement pipeline sur les deux processeurs P1 et P2 produit un débit meilleur pour le même temps d'exécution.

Ordonnancement	Placement P1	Placement P2	δ_{p_1}	Débit
Séquentiel	p11, p12, p13	-	6	¡ 0.17
Pipeline	p11, p12	p13	6	0.25

6 Application

Dans cet annexe, afin de montrer l'attractivité de notre approche sur une application complexe, nous présentons brièvement une partie des résultats de calcul d'ordonnanceurs par synthèse de contraintes pour la conception d'une implémentation efficace d'un encodeur vidéo MPEG-4 à tranches.

Les tâches de cet encodeur sont présentées dans les figures 2 et 3.

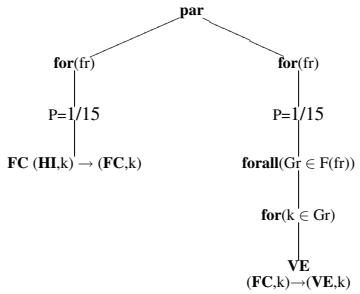

FIG. 2 – Deux sous-tâches simple FC et composée VE de l'encodeur

La synthèse de contraintes produit un système de contraintes sur les temps de début des tâches ainsi que des contraintes sur les temps d'exécution :

$$\begin{cases} b_{\mathrm{HI}} = b_{\mathrm{CAM}} + \frac{1}{30} \\ b_{\mathrm{DISP}} = b_{\mathrm{HI}} + \frac{1}{30} \\ b_{\mathrm{FC}} = b_{\mathrm{HI}} + \frac{1}{30} \\ b_{\mathrm{VE}} = b_{\mathrm{FC}} + \frac{1}{30} \end{cases}$$

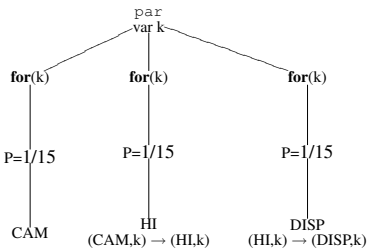

FIG. 3 – Trois tâches simples de période P en interaction avec l'encodeur

$$\delta_{FC} \leq \frac{2}{3} \times \frac{1}{25} \ \wedge \ \delta_{VE} \leq \frac{1}{25}$$

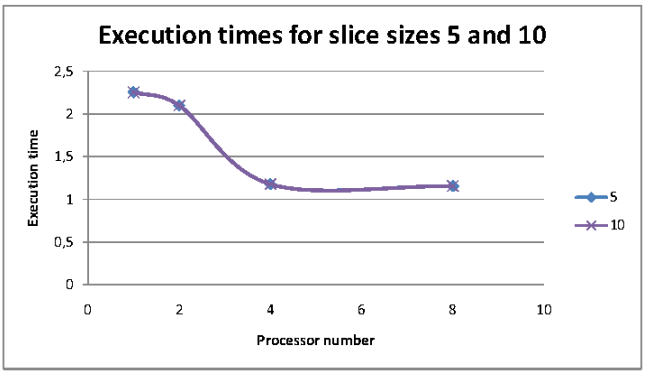

FIG. 4 – Temps d'exécution pour des placements parallèles par tâches

Les figures 4, 5 et 6 montrent les résultats de performances sur des trames de 25 images. Ces résultats proviennent de différents placements de la tâche composée VE. Les placements parallèles par tâches consistent à placer une tâche sur le même processeur et à placer des (groupes de) tâches différents sur des processeurs différents. La figure 4 montre que ces placements violent la contrainte $\delta_{VE} \leq \frac{1}{25}$ dans le cas des tranches de tailles 5 et 10 macroblocs. Les tailles supérieures ont des performances similaires.

Les placements parallèles par tranches de données consistent à placer des unités indépendantes composées d'une ou plusieurs tranches sur des processeurs différents. Ces placements donnent des résultats meilleurs que les précédents. En effet, ils permettent de satisfaire la contrainte de l'ordonnanceur à partir de 2 processeurs sauf pour des tranches de tailles égales (ou supérieures) à 400 macroblocs. Comme le montre la figure 5, le gain en temps d'exécution au delà de 4 processeurs n'est pas significatif.

Il ressort de cela que, compte tenu des bandes passantes consommées et des débits réalisés par les différents placements de la figure 6, le placement par tranches de 100 macroblocs sur 4 processeurs et l'implémentation qui satisfait les exigences de l'encodeur et qui est la plus efficace en terme de bande passante matérielle et de débit de sortie.

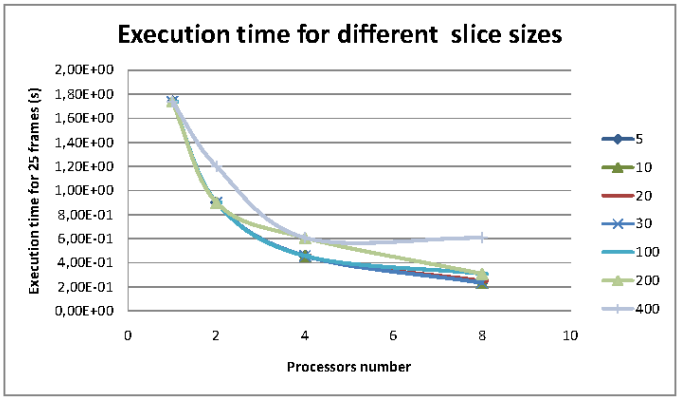

FIG. 5 – Temps d'exécution pour des placements parallèles par tranches de données

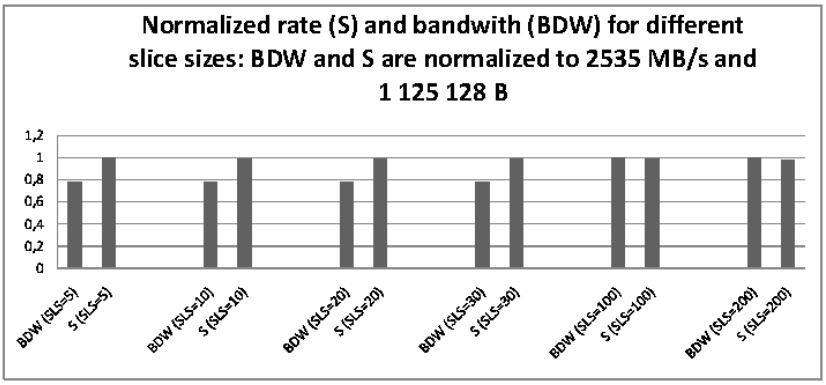

FIG. 6 – Bande passante matérielle (BDW) et débit (S) pour des placements parallèles par tranches de données

7 Conclusion et perspective

Nous avons proposé une méthodologie exploratoire pour la synthèse d'ordonnanceurs pour logiciels embarqués modélisés par des tâches hiérarchiques interdépendantes et sujet à des échéances temps-réel locales. Cette méthodologie permet tout d'abord de calculer un ensemble de systèmes de contraintes linéaires définissant les ordonnanceurs au niveau logiciel. Ensuite, différents placements des tâches et leurs sous-tâches sur l'architecture matérielle définissent des ordonnanceurs au niveau matériel du logiciel. Enfin, l'évaluation de performances matérielles et logicielles de ces placements permet de comparer l'efficacité des différents ordonnancements.

Plusieurs facteurs permettent de réduire la complexité de l'ordonnanceur. Premièrement, le concepteur peut contrôler cette complexité de calcul de l'ordonnanceur par le choix d'une partition des tâches du logiciel. Deuxièmement l'ordonnanceur logiciel est indépendant du matériel et peut n'être généré qu'une seule fois.

Cette méthodologie a été validée sur un encodeur vidéo MPEG-4 [19, 15]. L'intégration de cette méthodologie au framework P-WARE est en cours. L'effort de modélisation sera réduit à des manipulations haut niveau de modèles au format XML de tâches logicielles et des composants matériels. La synthèse du système quant à elle pourra être automatisée notamment pour le calcul de l'ordonnanceur, ce qui permettrait d'offrir un gain considérable en temps de cycles d'exploration et en temps d'implantation [17].

Références

[1] P. Stravers and J. Hoogerbrugge, "Homogeneous multiprocessing and the future of silicon design paradigms," in *International symposium on VLSI Technology, Systems, and Applications (VLSI-TAS)*, 2001, pp. 184–187.

[2] M. Adiletta, M. Rosenbluth, D. Bernstein, G. Wolrich, and H. Wilkinson, "The next generation of Intel IXP network processors," in *INTEL technology journal*, vol. 6, Intel Communications Group, Intel Corporation, Aug 2002.

[3] K. Jeffay, D. F. Stanat, and C. U. Martel, "On non-preemptive scheduling of periodic and sporadic tasks," 1991, pp. 129–139. 1, 2

[4] "Systemc," http ://www.systemc.org. 1

[5] C. L. Liu and J. W. Layland, "Scheduling algorithms for multiprogramming in a hard-real-time environment," *J. ACM*, vol. 20, no. 1, pp. 46–61, 1973. 2

[6] R. Gerber, W. Pugh, and M. Saksena, "Parametric dispatching of hard real-time tasks," *IEEE Trans. Computers*, vol. 44, no. 3, pp. 471–479, 1995. 2

[7] D.-I. Kang, R. Gerber, and M. Saksena, "Performance-based design of distributed real-time systems," in *RTAS '97 : Proceedings of the 3rd IEEE Real-Time Technology and Applications Symposium (RTAS '97)*. Washington, DC, USA : IEEE Computer Society, 1997, p. 2. 2

[8] W. Lindsay and P. Ramanathan, "Dbp-m : A technique for meeting end-to-end firm{m}{k} guarantee requirements in point-to-point networks," in *LCN*, 1997, pp. 294–305. 2

[9] D.-I. Oh and T. P. Bakker, "Utilization bounds for n-processor rate monotone scheduling with static processor assignment," *Real-Time Systems*, vol. 15, no. 2, pp. 183–192, 1998. 2

[10] K. Goossens, J. Dielissen, O. P. Gangwal, S. González Pestana, A. Rădulescu, and E. Rijpkema, "A design flow for application-specific networks on chip with guaranteed performance to accelerate SOC design and verification," in *Proc. Design, Automation and Test in Europe Conference and Exhibition (DATE)*. Washington, DC, USA : IEEE Computer Society, Mar. 2005, pp. 1182–1187. 2

[11] J. H. M. Korst, E. H. L. Aarts, and J. K. Lenstra, "Scheduling periodic tasks with slack," *INFORMS Journal on Computing*, vol. 9, no. 4, pp. 351–362, 1997. 2

[12] J. P. Penny, P. J. Ashton, and A. L. Wilkinson, "Data recording and monitoring for analysis of system response times," *Comput. J.*, vol. 29, no. 5, pp. 396–403, 1986. 2

[13] A. Aggarwal, A. K. Chandra, and M. Snir, "On communication latency in pram computations," in *SPAA '89 : Proceedings of the first annual ACM symposium on Parallel algorithms and architectures*. New York, NY, USA : ACM, 1989, pp. 11–21. 2

[14] S. Saez, J. Vila, and A. Crespo, "Using exact feasibility tests for allocating real-time tasks in multiprocessor systems," *ecrts*, vol. 00, p. 53, 1998. 2

[15] I. Assayad and S. Yovine, "System platform simulation model applied to multiprocessor video encoding," *IEEE symposium on industrial embedded systems*, 2006. 2, 3.1, 5.1, 7

[16] ——, "P-WARE : A precise and scalable component-based simulation tool for embedded multiprocessor industrial applications," *EUROMICRO DSD*, 2007. 2, 3.1, 5.1

[17] ——, "Modelling and exploration environment for application specific multiprocessor systems," in *HASE '07 : Proceedings of the 10th IEEE High Assurance Systems Engineering Symposium (HASE'07)*. Washington, DC, USA : IEEE Computer Society, 2007, pp. 433–434. 2, 7

[18] ——, "Compositional constraints generation for concurrent real time loops with interdependent iterations," in *I2CS'05 : the international conference on innovative internet community systems*. Springer Verlag, LNCS, 2005. 4, 4.2

[19] I. Assayad, P. Gerner, S. Yovine, and V. Bertin, "Modelling, analysis and implementation of an on-line video encoder," in *DFMA'05. IEEE Computer Society*, 2005. 4.3, 7