Rapport semestriel d'activité -coordonnateur
Programme SETIN - Edition 2006
<http://www-anr-ci.cea.fr>

Remarque : le coordonnateur doit fournir un rapport partenaire et un rapport coordonnateur.

Identification

Acronyme du projet	VAL-AMS
Numéro d'identification de l'acte attributif	ANR-06-SETI-018-01
Coordonnateur (société/organisme)	Laboratoire VERIMAG – Université UJF
Période couverte (date à date)	01/07/2008 – 31/12/2008
Période couverte (t0+n mois à t0+m mois)	t0+12mois à t0+24 mois
Rédacteur (nom, téléphone, email)	Thao Dang, tel : 04 56 52 03 83, Thao.Dang@imag.fr
Date	25/01/2008

URL de la page web du projet et date de dernière mise à jour

<http://www-verimag.imag.fr/~tdang/VAL-AMS>

Date de dernière mise à jour : 25/01/2009

Activités de coordination des activités du projet

(lister les réunions, visites, ...)

Date, lieu	Pariticipants (numéros de partenaires)	Objets
25/09/2009 VERIMAG, Grenoble	Tous	<ol style="list-style-type: none"> 1. Définition des activités dans l'année 2009 2. Limitations posées par le syntaxe de SPICE pour spécifier des circuits avec des non-déterminismes utilisés pour la génération de tests.
25/11/2009 VERIMAG, Grenoble	01 (VERIMAG), 03 (BIPOP INRIA)	<ol style="list-style-type: none"> 1. Définition des interfaces entre l'outil ACEF (de l'équipe BIPOP-INRIA) et l'outil de génération de tests HTG (de VERIMAG)

Synthèse

Numéro du Partenaire	Conformité des résultats obtenus aux prévisions	Conformité de la consommation des ressources par rapport aux prévisions	Difficultés particulières
1	OUI	OUI	
2	OUI	OUI	
3	OUI	OUI	
Synthèse	OUI	OUI	

Faits marquants

Indiquer les résultats et/ou réalisations marquants. Préciser s'ils peuvent ou non faire l'objet de communications externes par l'ANR et la Délégation ANR-CI.

Voici la liste des faits marquants, **depuis le dernier rapport longue en janvier 2008**. Ils peuvent faire l'objet de communications externes par l'ANR et la Délégation ANR-CI.

Prix

Le papier "**Using disparity to enhance test generation of hybrid systems**" de Thao Dang et Tarik Nahhal a gagné le prix **IFIP Best Paper Award** de la conférence **TESTCOM/FATES'08 - International Conference on Testing of Communicating Systems and the 8th Int. Workshop on Formal Approaches to Testing of Software**.

Publications dans des journaux internationaux avec comité de sélection :

1. Giordano Pola, **Antoine Girard** and Paulo Tabuada, Approximately bisimilar symbolic models for nonlinear control systems, *Automatica*, 44(10) :2508-2516, 2008.
2. **Thao Dang** and Tarik Nahhal. Coverage-guided test generation for continuous and hybrid systems. *Journal Formal Methods in System Design FMSD*, Springer, Feb 2009. To appear.

Chapitres d'ouvrages

1. Stavros Tripakis and **Thao Dang**. Modeling, Verification, and Testing using Timed and Hybrid Automata. *Handbook Model-Based Design of Heterogeneous Embedded Systems*, CRC Press, Feb 2009.

Publications dans des actes de conférences internationales avec comité de sélection :

1. **Gang Zheng** and **Antoine Girard**, Bounded and unbounded safety verification using bisimulation metrics, *Hybrid Systems: Computation and Control*, 2009 (to appear).
2. **Antoine Girard**, Giordano Pola and Paulo Tabuada, Approximately bisimilar symbolic models for incrementally stable switched systems, *Hybrid Systems: Computation and Control*, vol 4981 in LNCS, pp 201-214, Springer, 2008.
3. **Thao Dang** and Tarik Nahhal. Using disparity to enhance test generation for hybrid systems. *Proceedings of the International Conference TESTCOM/FATES 2008*, LNCS 5047, Springer, pp 54-69, June 2008.

4. **Thao. Dang, Alexandre Donzé, Oded Maler, and Noa Shalev.** Sensitive State Space Exploration. *IEEE Int. Conference on Control and Decision CDC 2008*.
5. Giordano Pola, **Antoine Girard** and Paulo Tabuada, Symbolic models for nonlinear control systems using approximate bisimulation, *IEEE Conference on Decision and Control*, pp 4656-4661, December 2007.

Présentations dans des conférences nationales et groupes de travail :

1. **Gang Zheng**, Bounded and unbounded safety verification using bisimulation metrics, GT Systèmes dynamiques hybrides du GDR MACS, Paris, France, Octobre 2008.
2. **Antoine Girard**, Modèles symboliques de systèmes dynamiques pour la conception de systèmes embarqués sûrs, Colloque en hommage à Louis Bolliet : l'Informatique à Venir, Grenoble, France, Mai 2008.
3. **Antoine Girard**, Système à commutation, stabilité, représentation symbolique et commande, GT Systèmes dynamiques hybrides du GDR MACS, Paris, France, Janvier 2008.
4. **Antoine Girard**, VAL-AMS : High-confidence validation for analog and mixed signal circuits, Grand Colloque STIC, Paris, France, Novembre 2007.
5. **Thao Dang**. *Using disparity to enhance test generation for hybrid systems*. International Conference TESTCOM/FATES 2008, Tokyo, June 2008.
6. **Alexandre Donzé**, Sensitive State Space Exploration. *IEEE Int. Conference on Control and Decision CDC 2008*, Cancun, Mexico, December 2008.

Outils

1. Livraison et extension d'une **version 1.0 d'un simulateur de circuits électriques** comportant des composants idéaux et non-réguliers à partir de « net-list » SPICE (standard industriel de description des circuits électriques).
2. Le **Livrable 6** qui avait été reporté du fait de l'embauche tardive de l'ingénieur est maintenant terminé. Ce livrable comprend :
 - Les binaires du logiciel dans sa version 1.0
 - Le document d'installation et d'utilisation
 - Deux exemples de circuits qui peuvent être testés avec le logiciel (point de diode et oscillateur à anneau)
 - Une nouvelle version du document de conception et d'implémentation intitulé : « Automatic Circuit Equations Formulation (ACEF). Software Documentation. Deliverable 6 »

Tous ces documents et le logiciel peuvent être trouvés à l'adresse suivante :

http://noselecs.gforge.inria.fr/20092012_SoftwareDelivery/

Difficultés rencontrées

Nous n'avons pas rencontré de difficultés particulières au niveau scientifique.

Le partenaire LJK a rencontré quelque difficulté pour recruter un bon post-doctorant. Il y est finalement parvenu avec l'arrivée de Gang Zheng au laboratoire LJK en Janvier 2008. Malheureusement pour le projet, mais de manière tout à fait compréhensible, Gang Zheng a préféré ne pas aller au terme de son contrat (initialement prévu fin Octobre 2008) pour accepter une offre débutant en Septembre 2008. Nous restons cependant en contact et continuons à collaborer sur des sujets liés au projet VAL-AMS. Le partenaire LJK a demandé et obtenu l'autorisation de l'ANR d'utiliser le reliquat du post-doc sur d'autres postes de dépense (missions / fonctionnement) où l'argent manquait.

L'embauche d'un ingénieur par l'équipe BIPOP INRIA a été retardée pour trouver un bon candidat. Le développement du logiciel n'est donc pas aussi abouti que ce que l'on aurait pu souhaiter. Sachant qu'Olivier Bonnefon a commencé à travailler dans ce projet depuis septembre 2007, on peut considérer que l'avancement des travaux a été rapide par rapport aux prévisions car nous avons presque comblé notre retard. En plus, la prolongation du projet vont permettre de mener à bien le projet et consommer les ressources allouées.

Avancement du projet

Suivi de l'avancement des tâches du projet

Lister pour chaque tâche du projet [WP], l'état d'avancement et le comparer aux prévisions.

Ici nous présentons les résultats obtenus. Les **publications**, **présentations** aux congrès sont présentées dans le rubrique **Faits marquants**.

WP1 – Coverage guided simulation

The VERIMAG partner is in charge of the work package **WP1 – Coverage guided simulation**. The partner BIPOP INRIA also actively participated in this work, especially in the 4th semester. The participants from VERIMAG were: Thao Dang (CR1 CNRS), Oded Maler (DR CNRS), Noa Shalev (engineer), and Alexandre Donzé (engineer). The participant from BIPOP INRIA wee Olivier Bonnefoy and Vincent Acary.

We begin by recalling our results achieved during the first year 2007 (from **t0** to **t0+12m**). We proposed a novel simulation coverage measure for hybrid systems (defined using the star discrepancy notion from statistics) and a coverage-guided simulation algorithm gRRT, based on a robotic motion planning algorithm. We then introduced a new notion of disparity which is used in an adaptive version of gRRT, called agRRT, to improve coverage quality. We then extended this simulation approach to hybrid systems testing with a focus on applications to circuits.

Résultats obtenus / livrables fournis par le partenaire depuis le dernier rapport d'activité

In the 3rd semester (from t0+12 to t0+18), our results can be summarized as follows:

1. Testing with imprecision of sensors and actuators: We extended the framework to handle imprecision of sensors and actuators which allows to perform actual testing. We also developed an test generation algorithm in this context, using sensitivity analysis. The results obtained in this direction was described in our paper published at the International Conference on Control and Decision CDC 2009..
2. Tool integration and development: Our main focus is the integration of our test generation tool HTG, developed in VERIMAG, with the simulation platform SICONOS, developed in INRIA. The current version of the integrated tool can handle non-linear ordinary differential equations. We are now working on a version for differential algebraic equations.
3. Application to AMS circuits. We investigated the applications to analog and mixed-signal circuits, in particular a ring oscillator, which has been chosen as a benchmark to test our model-based methodology, from the design to validation.

In the 4th semester (from t0+18 to t0+24), our focus was tool integration and development.

1. Extending HTG to more general hybrid models: we accomplished a new version of our test generation tool HTG which can now take as input a hybrid model where guards and invariants are specified as boxes and reset functions are linear.
2. We defined the specifications for a connection between HTG and the tool ACEF, developed by the INRIA partner, which can accept as input SPICE circuit descriptions. The goal is to make a complete tool chain that can parse SPICE circuits, generate circuit equations, perform guided simulations and generate test cases. The problem of using the tool ACEF with the tool HTG in order to handle SPICE description required defining some formal specifications, since the current syntax of SPICE does not allow to specify non-determinism

in circuit parameters and input signals.

3. We studied the problem of testing with partial observability and developed an algorithm for doing so using light-weight reachable set approximations.

Deliverable: a version of the tool HTG integrated with the simulation kernel SICONOS can be downloaded at the following address:

<http://www-verimag.imag.fr/~tdang/VAL-AMS/HTG-SICONOS/HTG.tgz>

Our results during 2008 led to two publications in international conferences (TESTCOM/FATES 2008 and CDC 2008) and one journal article in FMSD and one IFIP Best Paper Award (see "Faits marquants").

WP2 – Verification by simulation

Le partenaire Laboratoire Jean Kuntzmann est responsable de la deuxième tâche du projet VAL-AMS (WP2: verification by simulation). L'équipe travaillant au laboratoire Jean Kuntzmann dans le cadre du projet VAL-AMS était constituée en 2008 d'Antoine Girard (MCF Université Joseph Fourier) et Gang Zheng (Post-doc de janvier à septembre 2008). Notre travail porte sur l'utilisation de méthodes de simulation numérique pour la validation certifiée des circuits analogiques et mixtes. Pour cela, nous utilisons la notion de fonction de bisimulation dont la connaissance nous permet d'inférer, à partir d'une trajectoire d'un système, des propriétés sur les trajectoires voisines.

Les fonctions de bisimulation, introduites par Antoine Girard et George Pappas, permettent de définir une notion de voisinage sur les trajectoires d'un système dynamique. Ainsi, il devient possible d'échantillonner des ensembles de trajectoires avec une précision choisie a priori. Une conséquence de cette propriété est que l'on peut démontrer des propriétés satisfaites par l'ensemble des trajectoires d'un système dynamique en n'en simulant qu'un nombre fini. Il est à noter qu'en dehors du Laboratoire Jean Kuntzmann, des travaux basés sur l'utilisation de fonctions de bisimulation sont menés dans des universités de renommée internationale (University of Pennsylvania, Carnegie Mellon University, University of California at Los Angeles et Tokyo Institute of Technology), ce qui montre l'intérêt de la communauté internationale pour les travaux réalisés dans VAL-AMS. Les travaux menés en 2008 dans le cadre du projet ont été orientés suivant deux axes principaux :

1. Abstractions symboliques de systèmes continus et hybrides :

a- Calcul d'abstractions : L'échantillonnage rendu possible par la connaissance d'une fonction de bisimulation nous permet pour un certain nombre de systèmes continus ou hybrides (qui possèdent donc un nombre infini, non-dénombrable, d'états) de calculer des abstractions symboliques (avec un nombre fini d'états).

Ces abstractions peuvent ensuite être utilisées pour la vérification formelle (en utilisant un model checker pour systèmes discrets) ou la synthèse algorithmique de contrôleur certifié (en utilisant des techniques de contrôle par supervision ou la programmation dynamique). Suite à nos travaux de 2007 sur le calcul d'abstractions symboliques de systèmes continus linéaires ou non-linéaires, nous avons démontré, en 2008, en collaboration avec Giordano Pola et Paulo Tabuada de University of California at Los Angeles, que pour les systèmes hybrides à commutations possédant la propriété de stabilité incrémentale (deux trajectoires issues d'états initiaux voisins et générées par le même signal de commutation, restent voisines), il est toujours possible de calculer des abstractions symboliques dont la précision peut être choisie aussi fine que souhaitée. Le calcul de ces abstractions ne requiert que la simulation d'un nombre fini de trajectoires du système hybride et peut donc être implémenté de manière très efficace.

b- Application : Nous avons choisi d'utiliser notre approche sur un modèle très répandu de circuit mixte, le convertisseur de puissance DC-DC. Un contrôleur certifié régulant la tension de sortie a ensuite été synthétisé algorithmiquement à partir du modèle symbolique. Ce travail est présenté en détail dans le papier publié à la conférence HSCC 2008. Une version longue a été soumise pour publication dans un journal international.

c- Abstractions hiérarchiques multi-échelles : Nous avons commencé à travailler sur des améliorations de notre approche, notamment sur le calcul d'abstractions symboliques hiérarchiques multi-échelles permettant d'adapter localement la précision des modèles symboliques (pour l'instant la précision du modèle symbolique est uniforme sur tout l'ensemble d'états).

2. Vérification par simulation:

La certification d'un circuit mixte peut être posée, en général, comme un problème de vérification d'un système hybride. Malgré des efforts de recherche considérables, ce problème reste un challenge pour la communauté scientifique. Récemment, plusieurs techniques de vérification basées sur l'exploration de trajectoires individuelles d'un système ont été développées (notamment dans le cadre du projet VAL-AMS), arguant le coût modéré de la simulation numérique de trajectoires individuelles comparativement aux calculs complexes nécessaires à la mise en oeuvre des autres approches existantes.

a- Vérification à horizon borné d'une classe de systèmes hybrides : nous avons proposé un algorithme qui détermine s'il existe une trajectoire de longueur bornée pouvant atteindre un ensemble d'états dangereux. Notre algorithme combine l'exploration de trajectoires du système et la réduction de l'espace d'états à explorer par agglomération de voisinages définis par une fonction de bisimulation. Notre algorithme est inspiré d'une approche proposée début 2008 par une équipe de Carnegie Mellon ; il y a cependant certaines différences significatives. La différence principale réside dans l'introduction d'un paramètre pour l'algorithme qui détermine l'opportunité d'agglomérer les voisinages. De manière surprenante, des choix intermédiaires du paramètre peuvent accroître considérablement les performances de l'algorithme.

b- Preuve de sûreté à horizon infini : L'autre contribution importante est l'établissement d'une procédure permettant, dans certains cas, de dériver d'une preuve de sûreté à horizon bornée, par une étape de raffinement, une preuve de sûreté à horizon infini (aucune trajectoire, quelque soit sa longueur, ne peut atteindre l'ensemble d'états dangereux). Nous avons démontré expérimentalement l'efficacité de notre algorithme. Ce travail est présenté dans la publication à la conférence HSCC 2009.

Les résultats des travaux autour de cette tâche durant l'année 2008 ont mené à 3 publications dans des conférences HSCC 2008, HSCC 2009 et CDC 2008 et un article dans le journal Automatica (voir le rubrique Faits marquants).

WP3: Advanced numerical analysis techniques

L'équipe BIPOP INRIA est responsable de la tâche WP3. L'équipe est constituée de Vincent Acary (CR INRIA), Bernard Brogliato (DR INRIA) et Olivier Bonnefoy (ingénieur expert INRIA).

Durant le troisième semestre, le travail qui a été réalisé peut se scinder en trois parties :

1. Simulation des circuits électriques non-réguliers. Etude théorique

Fort des travaux de mise en équations automatique des circuits non réguliers, nous avons poursuivi un travail de fond sur la simulation numérique de circuits plus complexes. Ce travail a

consisté principalement à mener à bien les points suivants :

- a. Développement et implémentation de solveurs de MLCP dédiés aux circuits. En particulier nous avons adapté des solveurs directs ainsi que des solveurs basés sur des techniques de simplexes issus de la programmation linéaire sous contraintes.
- b. Etude et implémentation de techniques de pas de temps adaptatifs pour les circuits commutés.

2. Conception et implémentation d'un simulateur de circuits a partir de « net-list » SPICE

Ces travaux ont principalement consisté à étendre les capacités de notre parser SPICE sur les points suivants :

- a. Prise en compte des mots-clés SPICE suivants : .tran (paramètres de simulation en dynamique transitoire), .print (paramètres de description des sorties), .subckt (paramètres de description des sous circuits), .IC (paramètres de prise en compte des conditions initiales).
- b. Amélioration du modèle de transistor MOS existant grâce à la prise en compte du nombre d'hyperplan, du seuil de biais zéro (zero bias threshold V_t) et la transconductance.
- c. Ajout d'un comparateur non régulier afin d'éviter la régularisation par une arctangente comme cela est habituellement effectué dans SPICE.
- d. Optimisation du logiciel d'un point de vue implémentation afin de gagner en coût de calcul et de mémoire. Ce travail nous permet d'être largement compétitif par rapport aux simulateurs SPICE commerciaux. Ce travail s'est soldé par une **livraison du simulateur au partenaire 1 (VERIMAG)**. Pour cette livraison, un travail de documentation de code et une procédure de portage ont été réalisés.

3. Validation sur des circuits industriels. Nous avons continué de travailler à la validation du simulateurs sur des circuits de complexité croissante :

- a. Modèle complet de convertisseur de puissance « Buck » fourni par ST Microelectronics.
- b. Modèle complet de convertisseur « delta-sigma » fourni par Mentor Graphics.

Durant le quatrième semestre, nos résultats peuvent être résumés comme suits :

1. Simulation des circuits électriques non-réguliers. Etude théorique.

Ce travail a consisté principalement à mener à bien les points suivants :

- a. Formulation mixte de circuits à la fois non linéaires et non réguliers. Dans cette partie, nous nous sommes attachés à comprendre comment on pouvait mêler efficacement des composants non linéaires standards de SPICE et des composants non réguliers propres à notre méthode.
- b. Étude et implémentation de solveurs de MCLP basés sur des méthodes de Newton non régulières (Semi-smooth Newton method) et sur une reformulation des problèmes de complémentarité comme un zéro de fonctions. Notre travail s'est basé sur l'utilisation de la fonction de Fischer-Burmeister. Une étude fine de ces solveurs a été effectuée pour comprendre les phénomènes de minima locaux et implémenter des heuristiques pour en sortir.

2. Conception et implémentation d'un simulateur de circuits a partir de « net-list » SPICE. Ces travaux ont porté sur les points suivants:

- a. Intégration d'un modèle de switch idéal conduisant à une formulation à la fois non linéaire et non régulière ;
- b. Développement de nouvelles formulations de circuits afin de minimiser le coût de calcul.

3. Validation sur des circuits industriels et comparaison avec des simulateurs commerciaux

- a. Comparaison et calcul d'ordre et d'erreur sur un modèle de circuit simple.
- b. Conception de circuits mettant en défaut les simulateurs commerciaux et intégration analytique de la solution sous Maple afin d'obtenir des courbes de référence.
- c. Amélioration des performances sur des circuits industriels (Convertisseur Buck and Delta-Sigma).

Livrables fournis par le partenaire depuis le dernier rapport d'activité

Le Livrable 6 qui avait été reporté du fait de l'embauche tardive de l'ingénieur est maintenant terminé. Ce livrable comprend :

1. Les binaires du logiciel dans sa version 1.0
2. Le document d'installation et d'utilisation
3. Deux exemples de circuits qui peuvent être testés avec le logiciel (point de diode et oscillateur anneau)
4. Une nouvelle version du document de conception et d'implémentation intitulé : « Automatic Circuit Equations Formulation (ACEF). Software Documentation Deliverable 6 »

Tous ces documents et le logiciel peuvent être trouvés à l'adresse suivante :

http://noselecs.gforge.inria.fr/20092012_SoftwareDelivery/

Si pour l'instant, il n'y a pas de publications sur le sujet, la raison principale est que nous sommes en préparation de dépôt de Brevet. Suite à ce dépôt, les résultats scientifiques seront soumis à publication.

WP4 – Tool development and application to analog and mixed-signal circuits

Les deux participants principaux de ce Work Package sont VERIMAG et BIPOP INRIA. Les résultats de cette tâche sont résumés comme suit :

1. Une nouvelle version de l'outil HTG de génération de tests pour des modèles hybrides plus complexes (voir WP1).
2. Outil ACEF pour la formulation automatique des circuits, développé par BIPOP INRIA (voir WP3).
3. Une intégration de l'outil HTG et le kernel de simulation SICONOS
4. Définition des interfaces entre HTG et ACEF.

Suivi des livrables du projet

(exemple, le tableau initial est celui contenu en annexe 1)

1	http://www-verimag.imag.fr/~tdang/VAL_AMS	Website	VERIMAG	BIPOP, LJK (LMC)	T0 + 1	A
1	Coverage guided simulation techniques and application to AMS circuits	Research report	VERIMAG		T0 + 6	A
2	Coverage guided simulation tool	Software	VERIMAG	BIPOP	T0 + 12	A
3	Verification using bisimulation metrics	Research Report	LJK (LMC)		T0 + 6	A
4	Compositional bisimulation metrics	Research Report	LJK (LMC)		T0 + 12	A
5	Automatic DAE and LCP matrices assembly from a circuit description	Research Report	BIPOP		T0 + 12	A
6	Tool for DAE and LCP formulation	Software	BIPOP		T0 + 18	A
7	Heuristics to speed up simulation	Research report	BIPOP		T0 + 24	A
8	Tool box for validation of AMS circuits	Software	VERIMAG	BIPOP, LJK (LMC)	T0 + 24	R1

Commentaires

Préciser en particulier la raison de chaque reprévision de livrables (Ri)

Nous avons obtenu une prolongation d'une année. La livraison de la version finale du Livrable 8 est reportée vers la fin de l'année 2009. Nous fournissons avec ce rapport une version incomplète du Livrable 8 (voir le résumé du WP1). En effet, l'embauche d'un ingénieur par l'équipe BIPOP a été retardée pour trouver un bon candidat. Le développement du logiciel n'est donc pas aussi abouti que ce que l'on aurait pu souhaiter. Sachant qu'Olivier Bonnefon a commencé à travailler dans ce projet depuis septembre 2007, on peut considérer que la réalisation du Livrable 6 a été rapide par rapport aux prévisions car nous avons presque comblé notre retard.

Liste des CDD recrutés par des établissements publics dans le cadre du projet

Lister ici tous les CDD recrutés depuis le début du projet.

Numéro du Partenaire	Nom	Prénom	Qualifications	Date de recrutement	Durée du contrat (en mois)
03 (BIPOP INRIA)	Bonnefoy	Olivier	Ingénieur ENSIMAG	01/09/2007	24
01	Shalev	Noah	Ingénieur	01/05/2007	24

Equipements achetés par les partenaires dans le cadre du projet

Lister ici tous les équipements achetés depuis le début du projet

Numéro du Partenaire	Désignation	Date d'achat	Prix d'achat (en Euros)	Part financées par l'aide ANR (en Euros)

Liste des livrables joints au présent rapport (uniquement pour les rapports de fin d'année)

Les livrables du projet sont fournis par le coordonnateur.

Numéro du livrable	Désignation	Forme/Support
Livrable 6	Tool for DAE and LCP formulation	Logiciel
Livrable 8 (version incomplète)	Tool box for validation of AMS circuits	Logiciel